

半導体デバイスとその製造時における静電気放電対策に TRIZ を適用する

Teong-San Yeoh

インテルテクノロジー株式会社(有限責任)会社

(ペナン州、マレーシア、 ts.yeoh@intel.com)

発表: TRIZCON2006 国際会議、2006年4月30日～5月2日, ミルウォーキー, 米国

和訳: 市川旦典(新電元工業株式会社)、中川 徹(大阪学院大学)

2007年4月2日

概要

静電気放電(ESD)は半導体デバイスの製造においてしばしば見られる故障メカニズムである。ESDは、人間やマシンから発生し、半導体デバイス进行处理している間でさえも発生する。本論文は、デバイスおよびその製造時の静電気放電対策に、TRIZの発明原理を適用することを研究するものである。

デバイスの静電気放電対策においては、デバイス保護方式の中で使用される様々なESD保護構造の設計が最重要の鍵である。基本的に、デバイスにおける静電気放電保護は、「高速実行」と「等ポテンシャル」の発明原理に基づく。デバイス中で用いられている様々なESD保護セルの設計の点から見ると、これらのセルの基本的な設計に関与しているTRIZの発明原理には、「曲面」、「事前保護」、「併合」、「非対称」、「分割」、「汎用性」、「分離」、「災いを転じて福となす」、および「仲介」などがある。

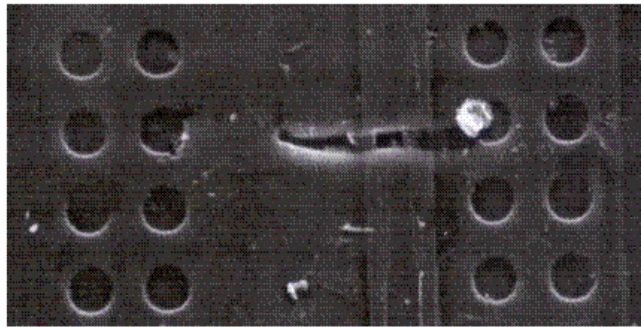
デバイス製造時の静電気放電対策においては、「先取り作用」、「複合材料」、「柔軟な殻と薄膜」の発明原理が実証されている。

本研究は、デバイス設計とその製造時の静電気放電対策にTRIZの発明原理がどのように適用できるかを評価した最初の試みの一つである。製造プロセスにおいて静電気放電を制御することは非常に難しいので、現在および将来のプロセス技術にとって、発明原理とその適用法をより深く理解することが、一層ロバストなデバイス設計と製造時対策を可能にするであろう。

1. はじめに

静電気放電(ESD)は、その表面が異なる静電位にある物体の間で、電荷が急速に移動する現象である。そして、半導体デバイスにとってしばしば見られる故障メカニズムである。静電気放電による損傷は、製造時において、[帯電した]人間によるデバイスの取扱い(人体帯電モデル)、あるいは[帯電した]ロボットによる取扱い(マシン帯電モデル)によってしばしば起こる。さらにデバイス自身が自動生産の間に帯電し、それが接地へ放電されることにより損傷を起こすことがある(デバイス帯電モデル)。これらの故障メカニズムは、トランジスタのゲート酸化物の降伏、トランジスタのドレインからソースへの突き抜け拡散(図1)、あるいは電荷トラップの形をとることがある。

図1: 静電気放電が起こした、トランジスタのドレインからソースへの突き抜け拡散



静電気放電を起こす源は、人間、設備、あるいは半導体デバイスの取扱い、輸送あるいは製造工程中にもある。製造プロセス技術がますます微細化する傾向にあるため、半導体デバイスの静電気放電への感受性【故障発生度】が一層悪化すると予想されている。ITRS（半導体技術国際ロードマップ）のロードマップを図2に示す。

図2: ITRS 2002 ロードマップ

Year	2001	2002	2003	2004	2005	2006	2007	2010	2013	2016
Node	130nm	115nm	100nm	90nm	80nm	70nm	65nm	45nm	32nm	22nm
Maximum allowable static charge on devices	(100-250)V	(100-250)V	(100-250)V	100V	100V	50V	50V	25V	25V	10V

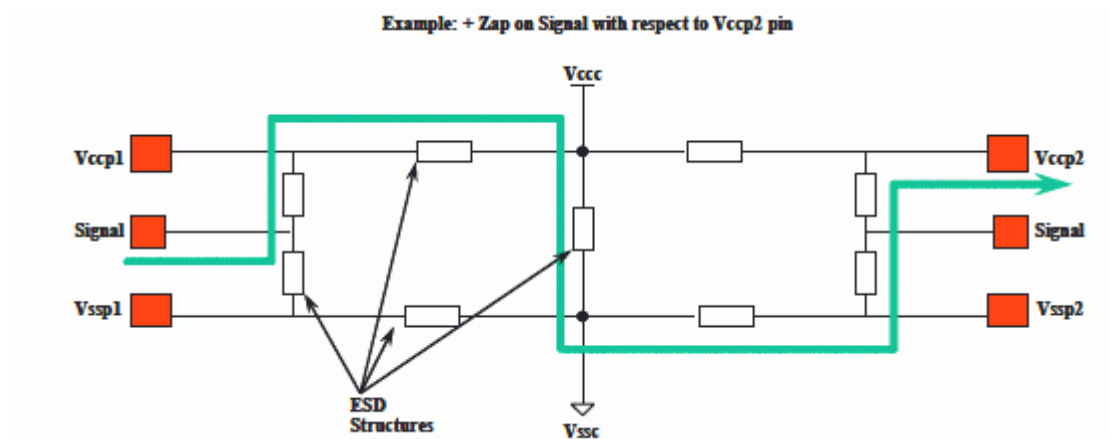
(年 ノード デバイス上の最大許容静電荷)

この予想される悪化傾向に対処するためには、デバイスそのものと、デバイス製造時の静電気放電対策が、効果的に導入され、ロバストである必要がある。本論文は、標準的な静電気放電対策の実施例について、特に TRIZ の発明原理との係わりに注目して、とりあげる。これは、将来の静電気放電対策が、TRIZ の発明原理を拠り所とすることを、助けるであろう。

2. デバイスの ESD [半導体デバイス自身に組み込む静電気放電対策]

デバイスの ESD [すなわち、半導体デバイス自身に組み込む静電気放電対策] においては、デバイス保護方式に使用されている様々な ESD 保護構造の設計が、最重点である。ESD 保護構造の主目的は、最も短い時間で、影響を受けたピン/ボール/接点からデバイスの接地部分に、短パルス(1-100ns)、高 ESD 電流(1-10 A)の放電を可能にすることである。図3は、デバイス内の様々な ESD 構造を経由して、シグナルピン(入力)から Vccp2 ピン(出力)まで流れる ESD 電流の流れを示す。

図3: シグナルピンから Vccp2 ピンまでの ESD 電流の放電経路



(例: Vccp2 ピンに対して Signal に+の ESD 放電波形電流を加える)
(ESD 構造)

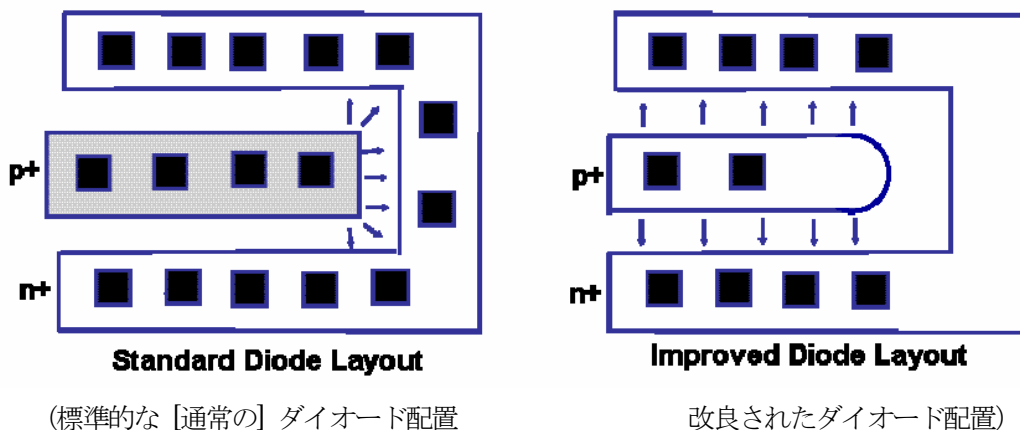
基本的に、デバイスの ESD 保護は「高速実行」の原理 (発明原理 21) (すなわち、大急ぎで通過する／急いで行なうこと) による。ここで、デバイスを流れる ESD 電流は、デバイスの内部構成要素を破損してしまう熱の蓄積を防ぐために高速で移動する必要がある。ESD 構造は、ESD の事象が起った場合に放電パスを提供することにより、内部の回路に対する損傷を防ぐ。これは、発明原理 11 「事前保護」(すなわち、物体の比較的低い信頼性を補うために、前もって非常事態に対応する手段を準備する)である。その他の発明原理で [その有効性が] 実証されているものには、「等ポテンシャル」(発明原理 12) (すなわち、ここでは、電荷の移動を防ぐために 2 つの物体間の電位を等しくする必要がある)、および、「併合」(発明原理 5) (すなわち、ここでは、ESD 電流が並列に放電できるように、相似の ESD 構造がデバイス全体にわたって繰り返される) がある。これらの ESD 構造は、デバイスの電源(Vcc)と接地(Vss)に対して ESD パワーランプの形を持っていて、デバイスのパワーリング全体に渡ってむらなく配置される。

デバイスに使用される様々な ESD 保護セルの設計の点から見ると、これらのセルの基本設計に関係している TRIZ の発明原理には、「曲面」、「併合」、「非対称」、「分割」、「汎用性」、「分離」、「災い転じて福となす」、および「仲介」がある。

2.1 ESD 入力バッファ

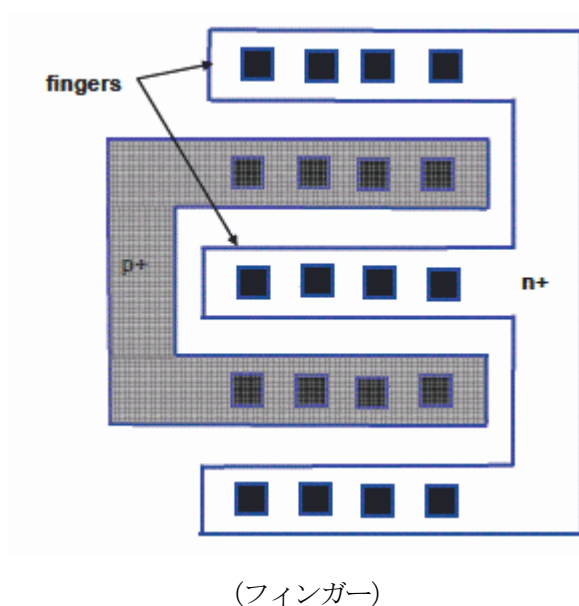
下記の図 4 に、ESD 入力バッファのためのダイオードの配置について、標準的なもの (通常のもの) と改良したものを示す。標準的なダイオードの鋭い角は、縁の部分で高電界 (コロナ効果) を生じ、ESD の事象の間に降伏する可能性がある。改善されたダイオードの配置においては、角を丸めること (「曲面」の発明原理 14) により、高電界効果を防止している。さらに、コンタクトのうちのいくつかは電流の集中を減少させるように改善されており、これは「非対称」(発明原理 4) を実証するものである。

図 4: 入力バッファに対するダイオードの配置



これらの ESD 構造は、ESD の大電流を吸収できるようにする要求から、貴重なシリコンのスペースを比較的大きく占有するので、広い幅を必要とするときには、面積的によりコンパクトな、短い複数のフィンガーに分割する(「分割」、発明原理 1)(図 5 参照)。

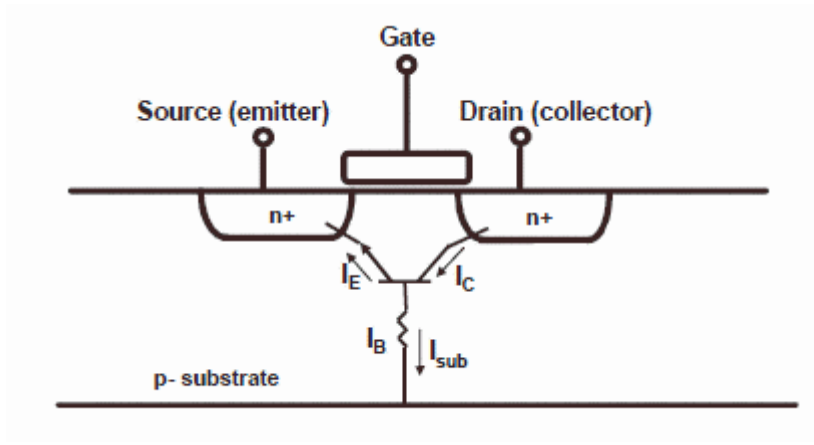
図 5: 複数のフィンガーによるダイオードの配置



2.2 ESD 入力/出力バッファおよび出力バッファ

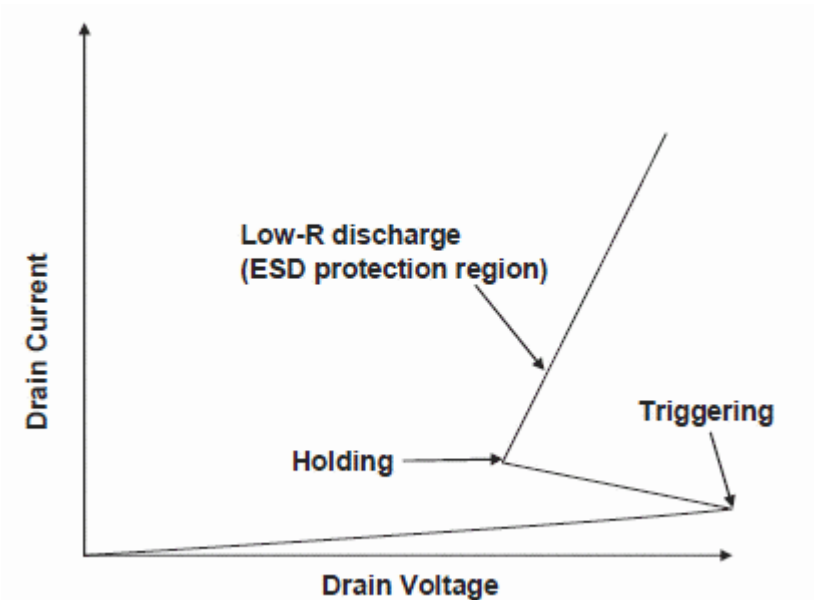
図 6 に示す典型的な n チャネルトランジスタは、通常の動作条件の下では正常に動作し、一方、ESD の事象中には npn バイポーラトランジスタへ形を変えてしまう。これは一つの部分に複数の機能を実行させ、それによって、他の部分の必要をなくしている(つまり、「汎用性」(あるいは「複数の機能」)(発明原理 6)である)。またこれは、nnpn バイポーラトランジスタが、ESD 電流という妨害部分を分離している(つまり、「分離」(あるいは「摘出」)(発明原理 2))と考えることもできる。ESD 電流が低い抵抗で流れるためには、衝突イオン化によって多くの電子・正孔対が生成され、電流が電子雪崩降伏に達する必要がある。十分に多数の正孔が基板に集められたとき、寄生バイポーラトランジスタがオン状態にスイッチされ、ドレーン電流は、ESD 電流に対して非常に低い抵抗を提供するスナップバック領域に到達する(図 7)。衝突イオン化は、電子雪崩降伏に結びつくので通常動作においては望ましくないが、短い放電時間の大電流である ESD 電流の流れにとっては、重要である。これは「災い転じて福となす」(発明原理 22)と見なすことができる。

図 6 : ESD 事象中の npn バイポーラトランジスタ



(ゲート ソース(エミッタ) ドレイン (コレクタ) p 基板)

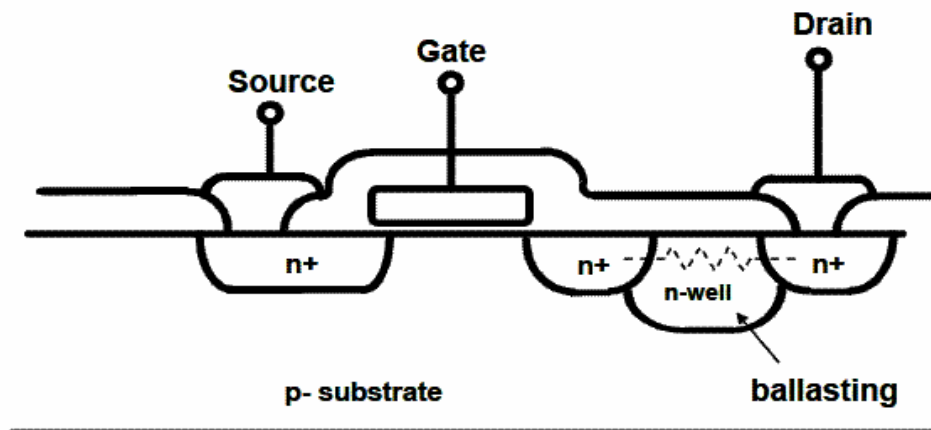
図7: スナックバック電流 - 電圧特性



(ドレイン電流 低 R 放電 (ESD 保護領域) 保持 トリガリング ドレイン電圧)

金属サリサイド製造工程 [訳注 (市川): トランジスタのゲートの多結晶 Si もしくは拡散層上に、金属と Si の反応により選択的に金属の Si 化合物を形成する技術] に関していうと、ソースとドレイン拡散は、拡散抵抗を著しく減少させる金属サリサイドの層と結び付けられる。これは一つの問題を生じる、なぜなら、高 ESD 電流が多数の拡散コンタクトに渡って均等に分布するだけの十分な時間がなく、抵抗の低下により 1-2 個のコンタクトにだけ集中するだろうからである。この結果、これらのコンタクトに熱が蓄積して高温になり、ESD 構造を損傷させる。これを克服するために、高抵抗値を持つ n⁺-ウェル拡散をドレイン拡散とゲートとの間に挿入して (つまり、「仲介」、(発明原理 24))、サリサイド工程に対して安定化効果を改善する (図 8)。基本的に、安定化は、ESD 電流が複数のドレインコンタクトにわたってより均等に分配するための手段を提供するものである。

図 8: 安定化効果を持つ ESD 構造の断面



(ソース ゲート ドレイン nウェル p基板 安定化)

以上は様々な TRIZ の発明原理が、デバイスの ESD [すなわち、半導体デバイス自身に組み込む静電気放電対策] にどのように用いられているかを、いくつかの例で示したものである。製造時の ESD に関しては、他の発明原理が用いられる。これを次節に検討しよう。

3. 製造時の ESD [半導体デバイスの製造過程における静電気放電対策]

製造時の ESD [すなわち、半導体デバイスの製造過程における静電気放電対策] において、鍵となる重要な点は、ESD 電位あるいは電界誘導の蓄積を、減少あるいは除去することにある。「先取り作用」、「複合材料」、および「柔軟な殻と薄膜」の発明原理が、[効果があるものとして] 実証されている。

3.1 空気イオン化機

ESD 電位の蓄積を減少させるために用いられる装置の一つは、空気イオン化機（イオン発生機）を使うものである。これは [空気をイオン化して] 正イオンと負イオンとを高濃度で供給し、その近傍にある物体の帯電を中和するものである (図 9)。これは、発明原理 10 の「先取り作用」(つまり、それが必要になる前に実施する) を適用したものである。

図 9: 空気イオン化装置



3.2 トレイおよび運搬装置

半導体デバイスを運搬するに際して、トレイや搬送装置 (図 10) を静電気を散逸させる材料で作り、高速な ESD

放電をゆっくりさせるようにする必要がある。この材料は複合材料(発明原理 40、「複合材料」)で作られ、ポリエーテルスルホンなどの材料中に炭素あるいはグラファイトの充填材を入れたものである。同様に、半導体デバイスと直接に接触する金属表面は、同様の静電気散逸材料を塗布しておく。

図 10： 静電気を散逸させるトレイ



3.3 導電性の袋

運搬中、これらの半導体デバイスはまた、導電性の袋 (図 11)を用いることにより外部環境から隔離される。これらの袋は、ESD 源に対してファラデーシールドを提供する。これは「柔軟な殻と薄膜」(発明原理 30)である。同様に、リールに巻いたテープを覆うカバーテープもまた、発明原理 30 を実証するものである。

図 11： 導電性の袋



4. まとめ

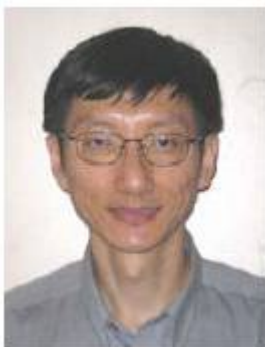
静電気放電 (ESD) は半導体産業においてしばしば見られる故障メカニズムであり、製造プロセス技術の [一層の微細化という] 傾向のために、将来もそのようになり続けるであろう。そのため、現在のデバイスの ESD [すなわち、半導体デバイス自身に組み込むべき静電気放電対策] や製造時の ESD [すなわち、半導体デバイスの製造過程における静電気放電対策] を研究し、そこに TRIZ の発明原理がいかに活用されているかを研究することにより、より一層の努力が必要である。今までのところ、活用が観察された発明原理には、「分割」(発明原理 1)、「分

離」(2)、「非対称」(4)、「併合」(5)、「汎用性」(6)、「先取り作用」(10)、「事前保護」(11)、「等ポテンシャル」(12)、「曲面」(14)、「高速実行」(21)、「災い転じて福となす」(22)、「仲介」(24)、「柔軟な殻と薄膜」(30)、および「複合材料」(40)がある。本研究は、半導体デバイスおよび製造時の静電気放電対策(半導体デバイスの設計を含む)における TRIZ の発明原理を評価した初めての試みの一つである。さらに前進して、将来の静電気放電(ESD)対策に TRIZ の発明原理をどのように適用できるかをより深く理解すること(特に、TRIZ の技術システムの進化のトレンドの研究を含む)がより一層重要になるであろう。

参考文献

- 1) Song, C.L., Choo, W.C., Yeoh, T.S., 'Emerging needs for test handler CDM ESD controls', International Conference on Semiconductor Electronics Proceedings, pp 180, 2004.
- 2) Yeoh, T.S., 'Building in reliability during ESD design layout', International Physical & Failure Analysis Symposium Proceedings, pp 172, 1997.
- 3) Altshuller, Genrich, '40 Principles TRIZ Keys to Technical Innovation', Technical Innovation Center, MA, 2002.
- 4) Tate, Karen and Domb, Ellen, 'How to Help TRIZ Beginners Succeed', TRIZ Journal, 1997.
- 5) Mann, D.L., 'Hands-On Systematic Innovation', CREAX Press, Ieper, 2002.

著者について:



TS Yeoh は 1987 年にインテル・マレーシアに入社した。彼は現在、主任技師であり、製造時/デバイスの静電気放電(ESD)制御と TRIZ に技術的関心を集中しており、2005 年に TRIZ のレベル 3 に認定された。勤務に並行して、彼はパートタイムの研究を通して大学院レベルの学位取得を探索した。1989 年に、固体物理学の修士号、および 1997 年に、応用物理学の博士号を得た。彼は、いろいろな学術雑誌や会議に論文を発表しており、その中には IEEE International Reliability Physics Symposium, IEEE International Physical & Failure Analysis of IC Symposium, IEEE Transactions on Semiconductor Manufacturing Journal, Acta Crystallographica Journal、日本物理学会論文誌、および IEEE International Conference on Semiconductor Electronics を含む。